

PHASE SHIFTER

Publication number: JP4032301

Publication date: 1992-02-04

Inventor: IYAMA YOSHITADA; IIDA AKIO; URASAKI SHUJI; ITO KENJI; MIMATSU KENJI; SHIGEMATSU TOMONORI

Applicant: MITSUBISHI ELECTRIC CORP

Classification:

- international: **H01P1/18; H01P1/185; H01P1/18; (IPC1-7): H01P1/18**

- european:

Application number: JP19900138732 19900529

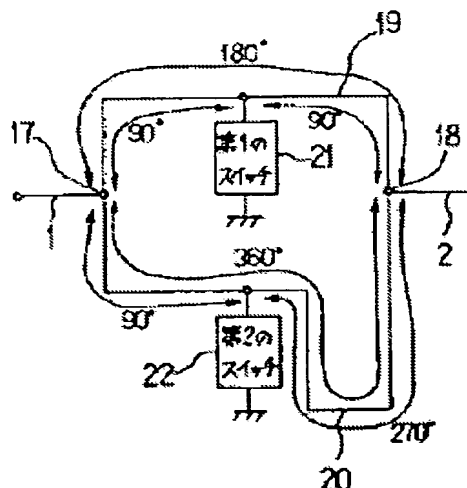
Priority number(s): JP19900138732 19900529

Report a data error here

Abstract of JP4032301

PURPOSE:To obtain a phase shifter with a low loss by providing switches (two switches, when one switch is opened, the other is closed interlockingly) to positions of a 1st transmission line and a 2nd transmission line respectively so that the impedance when viewing the line from an input terminal and an output terminal is high impedance with the switch opened with respect to the line.

CONSTITUTION:When a switch 21 connected to a 1st transmission line 19 is opened and a switch 22 connected to a 2nd transmission line 20 is closed, an impedance when viewing the line from an input terminal and an output terminal is high impedance, that is, equivalent to the line opening state. Since the effect of the switch 21 connected to the 1st transmission line 19 is neglected, a radio wave propagates the 1st transmission line 19. When the connecting state of the switches 21, 22 is switched, the radio wave propagates the 2nd transmission line 20. The phase of the radio wave is changed without inserting directly to the transmission lines 19, 20 by switching the connecting state of the switches 21, 22 in this way. Thus, the phase shifter with a low loss is realized.



Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

THIS PAGE BLANK (USPTO)

⑫ 公開特許公報(A) 平4-32301

⑪ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月4日

H 01 P 1/18

7741-5 J

審査請求 未請求 請求項の数 1 (全9頁)

⑭ 発明の名称 移相器

⑯ 特 願 平2-138732

⑰ 出 願 平2(1990)5月29日

⑱ 発 明 者 伊 山 義 忠 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社電子システム研究所内

⑲ 発 明 者 飯 田 明 夫 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社電子システム研究所内

⑳ 発 明 者 浦 崎 修 治 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社電子システム研究所内

㉑ 発 明 者 伊 東 健 治 神奈川県鎌倉市大船5丁目1番1号 三菱電機株式会社電子システム研究所内

㉒ 出 願 人 三菱電機株式会社 東京都千代田区丸の内2丁目2番3号

㉓ 代 理 人 弁理士 大岩 増雄 外2名

最終頁に続く

明 細 書

1. 発明の名称

移相器

2. 特許請求の範囲

通路長の異なる2つの伝送線をスイッチにより切り替る通路長切替形の移相器において、入力端子と、出力端子と、所定の通路長差を有し、それぞれ一端が上記入力端子に接続され、他端が上記出力端子に接続された第1の伝送線および第2の伝送線と、遮断と導通が切り替わり、導通状態のとき上記入力端子および上記出力端子から見て高インピーダンスに見える上記第1の伝送線の位置および上記第2の伝送線の位置にそれぞれ接続されたスイッチとを備えたことを特徴とする移相器。

3. 発明の詳細な説明

〔産業上の利用分野〕

この発明は、通路長の異なる2つの伝送線をスイッチにより切替える通路長切替形の移相器に係わり、特に移相器における損失特性の改善に関

するものである。

〔従来の技術〕

電波の伝搬経路を切り換えてこの電波の位相を変える通路長切替形移相器には種々のものがあるが、ここではシリコン、GaAsなどの半導体基板に構成した電界効果トランジスタ(以下、FETと称す)をスイッチとして用い、同一の半導体基板に構成したマイクロストリップ線路の経路を切替えてマイクロ波の位相を変える半導体移相器を例にとつて説明する。

第11図は、例えば、G. F. Shade, "Monolithic X-Band Phase Shifter" GaAs IC Symposium 1981 pp. 37 に示された従来の半導体移相器の原理を説明するための模式図である。図において、(1)は入力線路、(2)は出力線路、(3)は電気長 θ_1 の第1の分岐線路、(4)は電気長 θ_2 の第2の分岐線路、(5)は第1の単極双投スイッチ(以下、SPDTスイッチと称す)、(6)は第2のSPDTスイッチである。第11図では、第1、第2のSPDTスイッチ(5)、(6)は第1の分岐線路

(3) 側に切り換えられた状態であるので、入力線路(1)より入射した電波は θ_1 の位相遅れを受けて第1の分岐線路(3)を通過して出力線路(2)にあらわれる。ここで、第1、第2のBPD Tスイッチ(5)、(6)を第2の分岐線路(4)側に切り換えると、電波は θ_2 の位相遅れを受けて第2の分岐線路(4)を通過して出力線路(2)にあらわれることになる。従つて、第1、第2のBPD Tスイッチ(5)、(6)を切り換えることにより、第1、第2の分岐線路(3)、(4)の電気長の差 $\Delta\theta$ ($\Delta\theta = \theta_2 - \theta_1$)だけ電波の位相が変化することになり移相器が構成される。

第12図は、上記半導体移相器の構成を示す斜視図である。図において、(1)~(6)は第11図に示したものと同様のものであり、(7)は半導体基板、(8)(9)は第1のBPD Tスイッチ(5)を構成する第1、第2のFETであり、(10)(11)は第2のBPD Tスイッチ(6)を構成する第3、第4のFETである。また、(12)(13)(14)はそれぞれ第1、第2、第3、第4のFET(8)(9)(10)(11)のドレイン電極、ゲート電極、ソース電極である。ゲート電極(13)にはバイアス抵抗

(15)を介して、バイアス端子(16)よりバイアス電圧が印加される。なお、第1、第2、第3、第4のFET(8)(9)(10)(11)のスイッチ動作のために、通常はドレイン電極(12)、ソース電極(14)を直流的に同電位として用いるが、第12図ではそのための回路は省略している。今、ドレイン電極(12)、ソース電極(14)を直流的に同電位たとせば0Vにしたとすると、ゲート電極(13)に印加する電圧を0Vとピンチオフ電圧に切り換えることにより、FETのドレイン電極(12)とソース電極(14)間は電波が通過・遮断となる単極単投スイッチの動作をする。従つて、第1、第2のFET(8)(9)、および、第3、第4のFET(10)(11)のそれぞれ2個のFETをドレイン電極を共通にして配置し、かつ、上記2個のFETのゲートバイアス電圧を一方は0V、他方はピンチオフ電圧とし、同時に上記のバイアス電圧を切り換えることにより2個の単極単投スイッチからなるBPD Tスイッチを構成している。このBPD Tスイッチを用いて第1の分岐線路(3)と第2の分岐線路(4)の2つの異なる伝搬経路を切替えることによ

り第11図についての説明と同様にして移相器として動作させることができる。

上記のような従来の移相器は、第1、第2の分岐線路(3)、(4)の長さの差で移相量が決まるため、これら線路の寸法を正確に工作することにより精度の良い移相量特性が得られる。

〔発明が解決しようとする課題〕

しかし、上記のような従来の移相器は、伝搬経路の切り替えには伝送線路の入力端と出力端との2箇所にスイッチが必要であり、かつ、FETなどのスイッチング素子が電波の伝搬経路に挿入される構成であることから、スイッチによる挿入損失が大きいという問題点があつた。

この発明は、上記のような問題点を解決するためになされたもので、低損失な移相器を得ることを目的とする。

〔課題を解決するための手段〕

通路長の異なる2つの伝送線路をスイッチにより切替える通路長切替形の移相器において、入力端子と、出力端子と、所定の通路長差を有し、そ

れぞれ一端が上記入力端子に接続され、他端が上記出力端子に接続された第1の伝送線路および第2の伝送線路と、遮断と導通が切り替わり、導通状態のとき上記入力端子および上記出力端子から見て高インピーダンスに見える上記第1の伝送線路の位置および上記第2の伝送線路の位置にそれぞれ接続されたスイッチとを備えたものである。

〔作用〕

上記のように構成された移相器においては、遮断と導通が切り替わるスイッチが、導通状態のとき入力端子および出力端子から見て高インピーダンスに見える第1の伝送線路の位置および第2の伝送線路の位置にそれぞれ設けられているので、例えば、第1の伝送線路に接続されたスイッチを遮断とし、第2の伝送線路に接続されたスイッチを導通とすると、入力端子および出力端子から第2の伝送線路のスイッチ側をみたインピーダンスは高インピーダンス、すなわち開放状態となり、また、第1の伝送線路のスイッチの影響は無視できるので、電波は第1の伝送線路を通過する。な

お、スイッチの遮断と導通を切り替ると電波は第 2 の伝送線路を通過する。このように、スイッチの遮断と導通を切り替ると電波が通過する伝送線路にスイッチを挿入せずに 2 つの伝送線路を切り替え、電波の位相を変化させる。

〔実施例〕

第 1 図はこの発明の移相器の一実施例を説明するための模式図である。ここでは、所定の周波数で概略 180 度の電気長の差を有する通路長の異なる 2 つの伝送線路をスイッチにより切り替る通路長切替形の 180 度移相器を例としてこの発明の技術的思想を説明する。図において、10 は移相器の入力端子、20 は移相器の出力端子、30 30 は一端が入力端子 10 に接続され、他端が出力端子 20 に接続された上記所定の周波数で概略 180 度の電気長を有する第 1 の伝送線路および上記所定の周波数で概略 360 度の電気長を有する第 2 の伝送線路、40 は第 1 の伝送線路 30 の入力端子 10 から上記所定の周波数で概略 90 度の電気長の位置と接地との間に設けられた第 1 のスイッチ、50 は第 2 の伝送線

路 40 の入力端子 10 から上記所定の周波数で概略 90 度の電気長の位置と接地との間に設けられた第 2 のスイッチである。なお、ここで、第 1 のスイッチ 40 および第 2 のスイッチ 50 は遮断と導通が切り替わるものである。

次に動作を説明する。

第 2 図、第 3 図は第 1 図に示したこの発明の移相器の一実施例の動作説明図である。第 2 図(a)は第 1 のスイッチ 40 を遮断、第 2 のスイッチ 50 を導通とした場合を示し、第 2 図(b)はこのときの動作を示す等価回路である。この場合には、第 1 のスイッチ 40 の影響は無視でき、第 2 のスイッチ 50 は短絡と考えることができるので、第 2 図(b)のように表すことができ、入力端子 10 および出力端子 20 から第 2 のスイッチ 50 側をみたインピーダンスは高インピーダンス、すなわち開放状態となるので、電波は 180 度の位相遅れを受けて第 1 の伝送線路 30 を通過する。また、第 3 図(a)は第 1 のスイッチ 40 を導通、第 2 のスイッチ 50 を遮断とした場合を示し、第 3 図(b)はこのときの動作を示す等価回路

である。この場合には、第 1 のスイッチ 40 は短絡と考えることができ、第 2 のスイッチ 50 の影響は無視できるので、第 3 図(b)のように表すことができ、入力端子 10 および出力端子 20 から第 1 のスイッチ 40 側をみたインピーダンスは高インピーダンス、すなわち開放状態となるので、電波は 360 度の位相遅れを受けて第 2 の伝送線路 40 を通過する。従つて、第 1 のスイッチ 40 と第 2 のスイッチ 50 とを遮断・導通と切り替ることにより、電波の伝搬位相は 180 度変化し、180 度移相器が構成できる。

第 4 図は第 1 図に示したこの発明の移相器の一実施例の具体的構成を示す斜視図であり、この実施例では半導体素子と線路とが同一の半導体基板を用いて構成されたモノリシック構造の場合について一例を示している。図において、60 は第 1 のスイッチ 40 を形成する FET、70 は第 2 のスイッチ 50 を形成する FET、80 80 はそれぞれ FET 60 60 のドレイン電極、ゲート電極、および、ソース電極、90 はバイアホール、100 はバイアス抵抗、110 はバイアス端子、120 はキャパシタである。こ

で、FET 60 のドレイン電極 80 は第 1 の伝送線路 30 に接続されており、ソース電極 100 はバイアホール 90 を介して接地され、かつ、ゲート電極 80 はバイアス抵抗 100 を介して、バイアス端子 110 に接続されている。なお、バイアス抵抗 100 とバイアス端子 110 との間には、一端をバイアホール 90 を介して接地したキャパシタ 120 が接続されており、バイアス端子 110 への電波の漏洩を防止している。同様にして、FET 70 のドレイン電極 80 は第 2 の伝送線路 40 に接続されており、ソース電極 100 はバイアホール 90 を介して接地され、かつ、ゲート電極 80 はバイアス抵抗 100 を介して、バイアス端子 110 に接続されている。なお、バイアス抵抗 100 とバイアス端子 110 との間には、一端をバイアホール 90 を介して接地したキャパシタ 120 が接続されており、バイアス端子 110 への電波の漏洩を防止している。

上記実施例の動作については上記第 1 図に示したこの発明の移相器の一実施例について行つた動作説明と同様であり、FET 60 および FET 70 のゲートバイアスを 0 V とピンチオフ電圧とに切り

替ることにより第1のスイッチ20と第2のスイッチ24とを遮断・導通と切り替えることができ、電波の通路を第1の伝送線路22と第2の伝送線路24とに切り替えて伝搬位相を180度変化させることができ、180度移相器が構成できる。

以上に説明したように、この発明の移相器では、電波が通過する伝送線路にスイッチを挿入せずに2つの伝送線路を切り替えることができ、低損失な移相器が得られるという効果がある。ここで、上記実施例で示した180度移相器は従来通路長切替形以外の方式の移相器で低損失なものが得難いものであり、この発明の180度移相器の利用価値は高いと考えられる。また、この実施例では半導体素子と線路とが同一の半導体基板を用いて構成されたモノリシック構造であり、小形の半導体移相器が得られ、かつ、用いる半導体素子の数を削減できる効果がある。

なお、上記の説明では、半導体素子と線路とが同一基板に構成されるモノリシック構造の移相器の例について説明したが、この発明はこれに限ら

いて、線路にDCカットが不要となり、低損失化がはかれる効果がある。

また、第6図はこの発明の移相器の他の実施例を示す斜視図であり、この実施例はスイッチの遮断状態を良好にするための構成を付加したものである。図において、26は共振用のインダクタであり、インダクタ26をそれぞれFET24およびFET24のソース電極28とドレイン電極30との間にそれぞれのFET24に並列接続した回路構成である。インダクタ26をFET24に並列に接続することにより、FETのもつ容量を打ち消してスイッチの遮断状態を良好にする効果がある。

さらに、第7図はこの発明の移相器のまた他の実施例を説明するための模式図である。この実施例は導通状態とされた第1のスイッチ20あるいは第2のスイッチ24による反射を打ち消すための構成を付加したものである。20は第1のスイッチ20あるいは第2のスイッチ24から概略90度の奇数倍の電気長離れた位置の入力線路11に接続した反射補償用素子である。ここで、反射補償用素子20

は、第5図に示す他の実施例のように、半導体素子としてPINダイオード24等のダイオードを用い、基板として誘電体基板22を用いたディスクリートをハイブリッド構造のマイクロ波ICとしてもよい。第5図において、24は先端開放の1/4波長線路で形成されている高インピーダンス線路および低インピーダンス線路であり、高インピーダンス線路24と低インピーダンス線路24はPINダイオード24にバイアスを印加するための回路である。ここで、上記バイアスを印加するための回路ではPINダイオード24の接続点で等価的に接地と見えるもので、PINダイオード24が接続されていないものは浮かせたグラウンドとなつている。従つて、バイアス端子24からPINダイオード24にバイアスを印加し、このバイアスを変化させることで遮断・導通と切り替えることができ、電波が通過する伝送線路にスイッチを挿入せずに2つの伝送線路を切り替えることができ、低損失な移相器が得られるという効果がある。さらに、この実施例においては、ダイオードへのバイアス印加にお

しては、例えば、先端を開放あるいは短絡した線路でなる分布定数回路や、MEMキャパシタ等である集中定数回路が用いられる。このような構成にすることにより、1つの反射補償用素子20を装荷するだけで第1のスイッチ20および第2のスイッチ24のいずれにも有効に整合が取れ、反射特性の良好な移相器が得られる効果がある。

第6図および第7図の実施例の動作は上記第4図に示した実施例の動作と同様であり、低損失な移相器が得られるという効果がある。

なお、以上の説明では、所定の周波数で概略180度の電気長の差を有する通路長の異なる2つの伝送線路をスイッチにより切り替える通路長切替形の180度移相器を例として説明したが、この発明はこれに限らず、電気長の差をその他の値に設定した移相器にも適用できる。

次に、実施例について説明する。

第8図は上記電気長の差を任意の値 $\Delta\theta$ に設定した移相器の一実施例を説明するための模式図である。図において、(22a)(22b)は第2の伝送線

路 10 の入力端子 10a および出力端子 10b から所定の周波数で概略 90° の電気長の位置と接地との間に設けられた第 2 のスイッチおよび第 3 のスイッチである。なお、ここで、第 1 のスイッチ 20、第 2 のスイッチ (22a)、第 3 のスイッチ (22b) は遮断と導通が切り替わるものである。ここで、第 2 の伝送線路 10 における第 2 のスイッチ (22a) と第 3 のスイッチ (22b) の接続点の間が所定の電気長の差 $\Delta\theta$ に設定されている。なお、所定の周波数で概略 90° の電気長の位置は 90° の奇数倍の電気長の位置であつてもよい。

第 9 図、第 10 図は第 8 図に示したこの発明の移相器の一実施例の動作説明図である。第 9 図(a)は第 1 のスイッチ 20 を遮断、第 2 のスイッチ (22a)、第 3 のスイッチ (22b) を導通とした場合を示し、第 9 図(b)はこのときの動作を示す等価回路である。この場合には、第 1 のスイッチ 20 の影響は無視でき、第 2 のスイッチ (22a)、第 3 のスイッチ (22b) は短絡と考えることができるので、第 9 図(b)のように表すことができ、入力端子 10a および出力端子

10b から第 2 のスイッチ (22a)、第 3 のスイッチ (22b) 側をみたインピーダンスは高インピーダンス、すなわち開放状態となるので、電波は 180° の位相遅れを受けて第 1 の伝送線路 10 を通過する。また、第 10 図(a)は第 1 のスイッチ 20 を導通、第 2 のスイッチ (22a)、第 3 のスイッチ (22b) を遮断とした場合を示し、第 10 図(b)はこのときの動作を示す等価回路である。この場合には、第 1 のスイッチ 20 は短絡と考えることができ、第 2 のスイッチ (22a)、第 3 のスイッチ (22b) の影響は無視できるので、第 10 図(b)のように表すことができ、入力端子 10a および出力端子 10b から第 1 のスイッチ 20 側をみたインピーダンスは高インピーダンス、すなわち開放状態となるので、電波は $(180 + \theta)^\circ$ の位相遅れを受けて第 2 の伝送線路 10 を通過する。従つて、第 1 のスイッチ 20 と第 2 のスイッチ (22a) および第 3 のスイッチ (22b) とを遮断・導通と切り替えることにより、電波の伝搬位相は θ 度変化し、任意の値の θ 度移相器が構成できる。

なお、上記実施例の具体的構成は第 4 図～第 7 図に示した実施例と同様にできるため、ここでは構成図を省略する。

また、上記実施例においても前記の他の実施例と同様の効果を有することは言うまでもなく、電波が通過する伝送線路にスイッチを挿入せずに 2 つの伝送線路を切り替えることができ、低損失な移相器が得られるという効果がある。

〔発明の効果〕

以上説明したように、この発明によれば、遮断と導通が切り替わるスイッチを導通状態のとき入力端子および出力端子から見て開放状態に見える第 1 の伝送線路の位置および第 2 の伝送線路の位置にそれぞれ設けたので、電波が通過する伝送線路にスイッチを挿入せずに 2 つの伝送線路を切り替えることができ、低損失な移相器が得られるという効果がある。

4. 図面の簡単な説明

第 1 図はこの発明の移相器の一実施例を説明するための模式図、第 2 図、第 3 図は第 1 図に示し

たこの発明の移相器の実施例の動作説明図、第 4 図は第 1 図に示したこの発明の移相器の実施例の構成を示す斜視図、第 5 図はこの発明の移相器の他の実施例の構成を示す斜視図、第 6 図はこの発明の移相器のまた他の実施例の構成を示す斜視図、第 7 図はこの発明の移相器のさらに他の実施例を説明するための模式図、第 8 図はこの発明の移相器のさらにまた他の実施例を説明するための模式図、第 9 図、第 10 図は第 8 図に示したこの発明の移相器の実施例の動作説明図、第 11 図は従来の移相器を説明するための模式図、第 12 図は従来の移相器の動作説明図である。

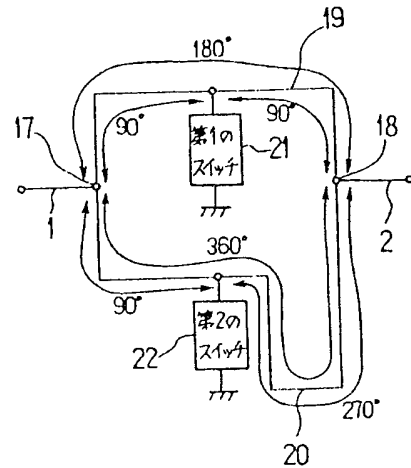
図において、(1)は入力線路、(2)は出力線路、(3)は第 1 の分枝線路、(4)は第 2 の分枝線路、(5)は第 1 の B P D T スイッチ、(6)は第 2 の B P D T スイッチ、(7)は半導体基板、(8)(9)は第 1、第 2 の FET、00 00 は第 3、第 4 の FET、02 03 04 はドレイン電極、ゲート電極、ソース電極、05 はバイアス抵抗、06 はバイアス端子、07 は入力端子、08 は出力端子、09 は第 1 の伝送線路、10 は第 2 の伝送線路、11 は

第1のスイッチ、 \square (22a) は第2のスイッチ、
 (22b) は第3のスイッチ、 \square は F E T、 \square は
 ドレイン電極、ゲート電極、ソース電極、 \square は
 バイアホール、 \square はバイア抵抗、 \square はバイア
 端子、 \square はキャパシタ、 \square は P I N ダイオード、 \square
 は誘電体基板、 \square は高インピーダンス線路、 \square
 は低インピーダンス線路、 \square はインダクタ、 \square は
 反射補償用素子である。

なお、各図中同一符号は同一または相当部分を
 示す。

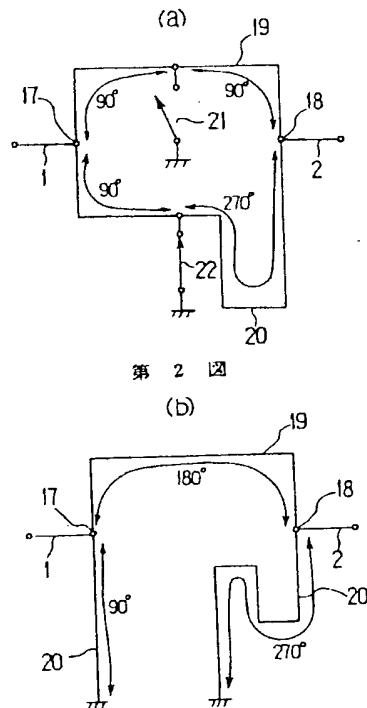
代理人 大 岩 増 雄

第 1 図



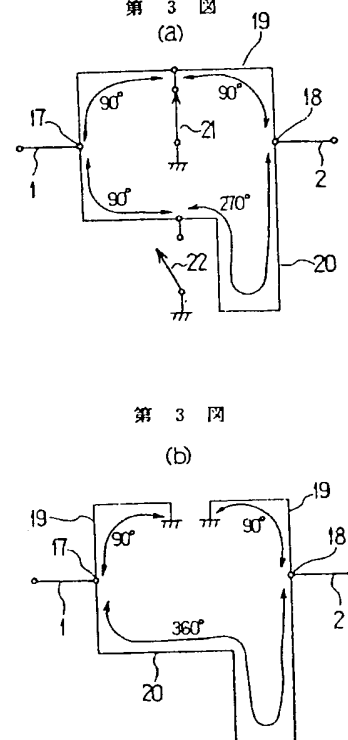
- 1: 入力線路
- 2: 出力線路
- 17: 入力端子
- 18: 出力端子
- 19: 第1の伝送線路
- 20: 第2の伝送線路
- 21: 第1のスイッチ
- 22: 第2のスイッチ

第 2 図



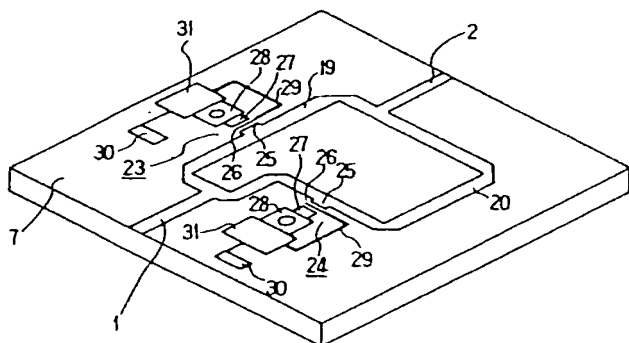
第 2 図

第 3 図



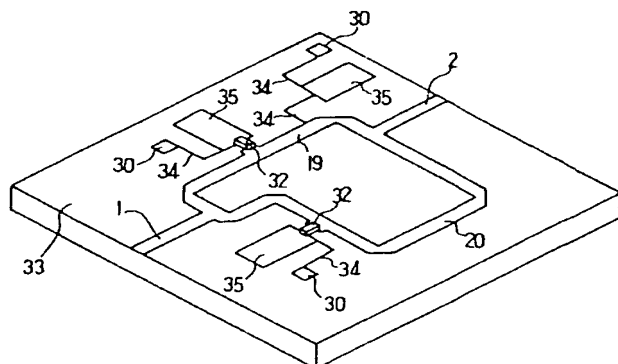
第 3 図

第 4 図



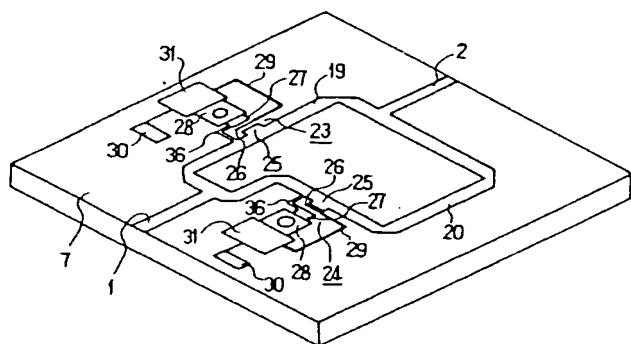
- 1 : 入力線路
- 2 : 出力線路
- 19 : 第1の伝送線路
- 20 : 第2の伝送線路
- 23 : FET
- 24 : FET
- 25 : ドレイン電極
- 26 : ゲート電極
- 27 : ソース電極
- 28 : バイアホール
- 29 : バイアス抵抗
- 30 : バイアス端子
- 31 : キャパシタ

第 5 図



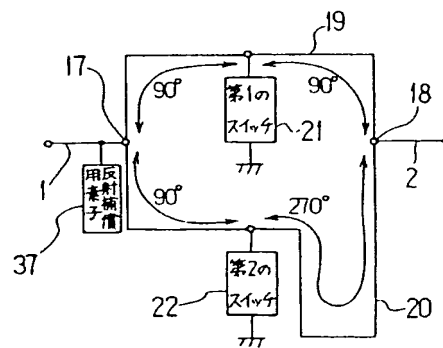
- 32 : PIN ダイオード
- 33 : 誘電体基板
- 34 : 高インピーダンス線路
- 35 : 低インピーダンス線路

第 6 図



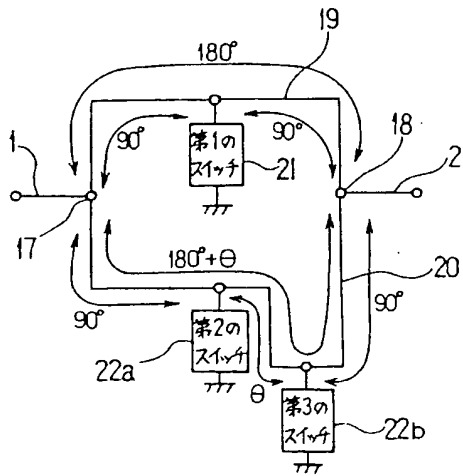
36 : インダクタ

第 7 図



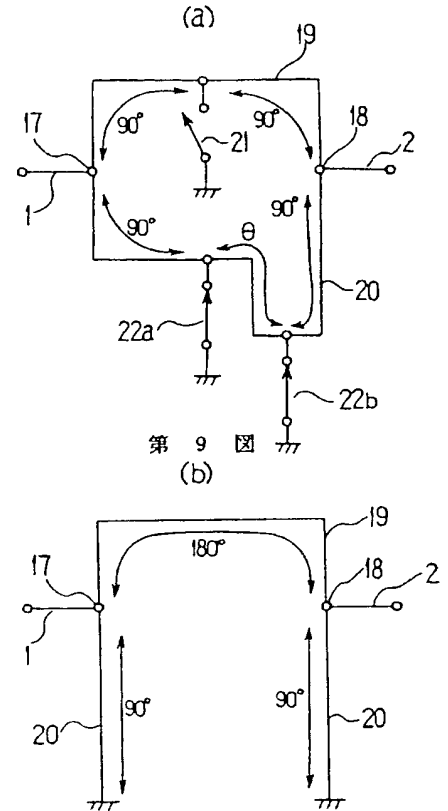
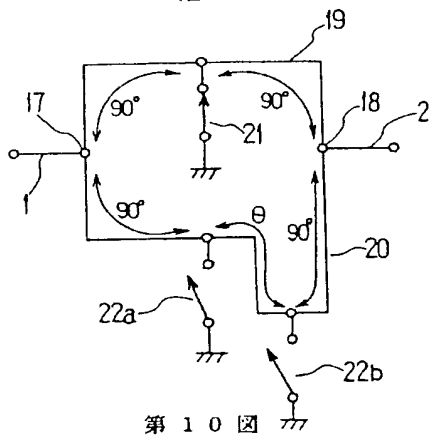
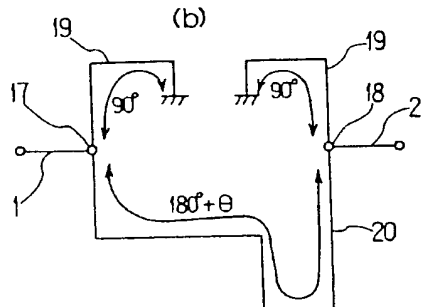
37 : 反射補償用素子

第 8 図

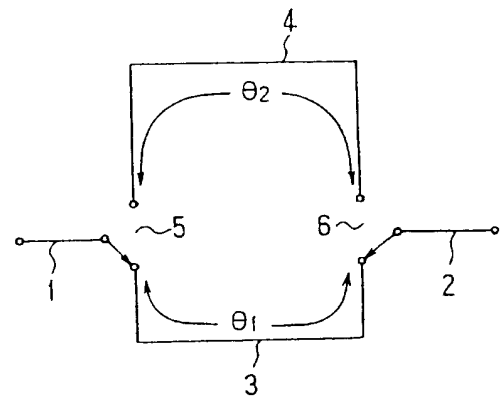


22a : 第2のスイッチ
22b : 第3のスイッチ

第 9 図

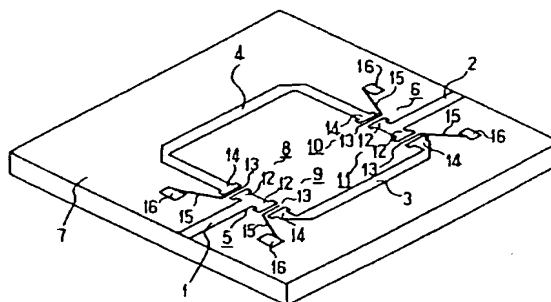

第 10 図
(a)

第 10 図
(b)


第 11 図



1 : 入力線路
2 : 出力線路
3 : 第1の分岐線路
4 : 第2の分岐線路
5 : 第1のSPDTスイッチ
6 : 第2のSPDTスイッチ

第 1 2 図



- 1 : 入力線路
- 2 : 出力線路
- 3 : 第1の分岐線路
- 4 : 第2の分岐線路
- 5 : 第1のSPDTスイッチ
- 6 : 第2のSPDTスイッチ
- 7 : 半導体基板
- 8 : 第1のFET
- 9 : 第2のFET
- 10 : 第3のFET
- 11 : 第4のFET
- 12 : ドレイン電極
- 13 : ゲート電極
- 14 : ソース電極
- 15 : バイアス抵抗
- 16 : バイアス端子

第 1 頁の続き

⑦発 明 者	未 松	憲 治	神奈川県鎌倉市大船 5 丁目 1 番 1 号	三菱電機株式会社電 子システム研究所内
⑧発 明 者	重 松	智 徳	神奈川県鎌倉市大船 5 丁目 1 番 1 号	三菱電機株式会社電 子システム研究所内

THIS PAGE BLANK (USPTO)